

DE19837639

Publication Title:

Converter overload protection circuit

Abstract:

Abstract of DE19837639

An overload protection circuit includes a first converter (UM1) and a second converter (UM2) connected to the first in a chain circuit, in which the first converter (UM1) has a first switching transistor to control the output voltage (UAO), and the second converter (UM2) includes a transformer (Tr) with associated rectifier unit (GR) for rectifying the transformer (Tr) secondary voltage. A decision unit (SE) controls the load current path (SD) of the first switching transistor (T1), in which current and voltage value detected at the output of the first converter (UM1) are determined and then supplied to the decision unit (SE). When safe forced tripping of the switching elements (G1,G2) in the rectifying unit (GR) is no longer possible, the first switching transistor (T1) is driven to make the load current path high- resistance.

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

This Patent PDF Generated by Patent Fetcher(TM), a service of Stroke of Color, Inc.



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 **Offenlegungsschrift**
10 **DE 198 37 639 A 1**

51 Int. Cl. 7:
H 02 H 7/10

21 Aktenzeichen: 198 37 639.1
22 Anmeldetag: 19. 8. 1998
43 Offenlegungstag: 2. 3. 2000

71 Anmelder:
Siemens AG, 80333 München, DE

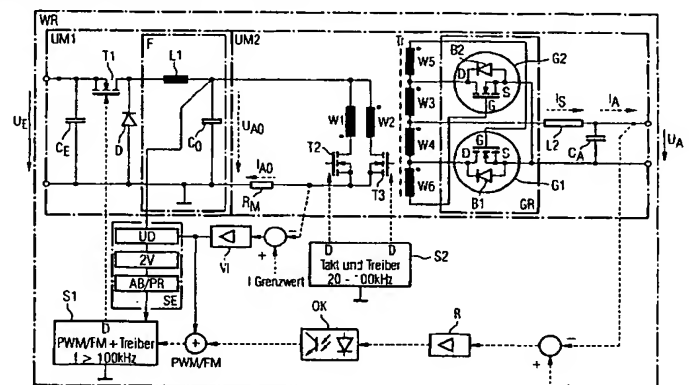
72 Erfinder:
Kulzer, Ernst, Dipl.-Ing., 82049 Pullach, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Schaltungsanordnung und Verfahren eines Überlastschutzes in einem Wandler

57 Bei Überschreitung eines Strommeßwertes und bei einer Verringerung der Spannung am Ausgang eines ersten Umrichters, eines aus einem ersten und zweiten Umrichter gebildeten Wandlers, unter einen Spannungswert, bei der eine sichere Durchschaltung der PMOS-Transistoren in einer sekundärseitig des zweiten Umrichters angeordneten Gleichrichtereinheit nicht mehr ermöglicht ist, wird der erste Umrichter gesperrt.



DE 198 37 639 A 1

DE 198 37 639 A 1

Ein Wandler WR mit galvanischer Trennung kann wie in Fig. 1 gezeigt aus einem ersten und zweiten Umrichter UM1, UM2 gebildet werden.

Der erste Umrichter UM1, z. B. ein Tiefsetzer, gebildet aus einem ersten Schalttransistor T1, einer Freilaufdiode D1 sowie einem Filter F, bestehend aus einer Induktivität L1 im Längsweig und einer Kapazität C0 im Querweig, ist dem zweiten Umrichter UM2 zum Ausgleich von Schwankungen der Eingangsspannung vorgeschaltet. Das erste Schaltelement T1 wird über eine erste Steuereinheit S1 gesteuert. Ausgewertet werden in der ersten Steuereinheit S1 der in die Primärseite des zweiten Umrichters UM2 fließende Strom und die Spannung am Ausgang des zweiten Umrichters UM2.

Der zweite Umrichter UM2, z. B. ein Gegentaktumrichter mit galvanischer Trennung, wird gebildet aus einem Primärteil mit zwei gleichen, aber gegensinnig angesteuerten Wicklungen W1 und W2 eines Transformators Tr. Das zweite und dritte Schaltelement T2, T3 auf der Primärseite des zweiten Umrichters UM2 wird von einem zweiten Steuerkreis S2 im Gegentakt mit einem Steuersignal mit gleichbleibender Frequenz mit einem Puls/Pause Verhältnis von 1 : 1 betrieben. Die Sekundärwicklungen W3 und W4 des Transformators Tr liefern eine gegenphasig transformierte Rechteckspannung, die mit Hilfe von synchron im Gegentakt angesteuerter Schaltelemente G1, G2 gleichgerichtet werden, die auf der Sekundärseite des Umrichters UM2 in einer Gleichrichtereinheit GR angeordnet sind.

Der beschriebene Wandler WR bringt jedoch den Nachteil mit sich, daß hohe Verlustleistungen in den Schaltelementen G1 und G2 in der Gleichrichtereinheit GR während des Strombegrenzungsbetriebs auftreten.

Der Wandler WR bringt weiter den Nachteil mit sich, daß zur Ableitung der Verlustleistung in der Gleichrichtereinheit GR große Halbleiterelemente und mit diesen verbunden eine große Leiterplattenfläche und/oder große Kühlelemente verwendet werden müssen.

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung und ein Verfahren anzugeben, die die oben angeführten Nachteile überwindet.

Gemäß der Erfindung wird die gestellte Aufgabe durch die Patentansprüche 1 und 8 gelöst.

Die Erfindung bringt den Vorteil mit sich, daß eine hohe Verlustleistung an den synchron im Gegentakt angesteuerten Schaltelementen G1, G2 in der Gleichrichtereinheit GR vermieden wird.

Die Erfindung bringt den weiteren Vorteil mit sich, daß bei kurzer Überlast der Wandler voll betriebsbereit bleibt.

Weitere vorteilhafte Ausbildungen der Schaltungsanordnung und des Verfahrens sind in den weiteren Patentansprüchen angegeben.

Weitere Besonderheiten der Erfindung werden aus den nachfolgenden näheren Erläuterungen eines Ausführungsbeispiels anhand von Zeichnungen ersichtlich.

Es zeigen:

Fig. 1 einen Aufbau eines bekannten Wandlers gemäß dem Stand der Technik,

Fig. 2 einen Aufbau eines Wandlers mit Überlastschutz und

Fig. 3 eine Ausgestaltung eines Überlastschutzes.

In Fig. 1 ist der eingangs genannte Umrichter WR dargestellt und nachfolgend weiterführend beschrieben.

Der erste Umrichter UM1 ist aus dem ersten Schaltelement T1, der Freilaufdiode D1 sowie dem Filter F, mit der Induktivität L1 im Längsweig und einer Kapazität C0 im Querweig gebildet. Ein Steuereingang des ersten Schalt-

transistors T1 wird durch ein pulsweiten- oder frequenzmoduliertes PWM, FM Steuersignal der ersten Steuerschaltung S1 angesteuert.

Auf der Primärseite des Umrichters UM2 sind zwei gleiche, aber gegensinnig angesteuerte Wicklungen W1 und W2 des Transformators Tr angeordnet. Die beiden Wicklungen W1 und W2 werden jeweils über das zweite und dritte Schaltelement T2, T3 durch den zweiten Steuerkreis S2 im Gegentakt mit gleichbleibender Frequenz und einem Puls/Pause-Verhältnis von 1 : 1 angesteuert. Die auf der Sekundärseite des Transformators Tr angeordneten jeweils gleich ausgebildeten Wicklungen W3 und W4 liefern gegenphasig transformierte Rechteckspannungen, die mittels der synchron im Gegentakt angesteuerten Schaltelemente, die nachfolgend auch als vierte und fünfte Schaltelemente G1 und G2 bezeichnet sind, in der Gleichrichtereinheit GR gleichgerichtet werden. Die vierten und fünften Schaltelemente G1, G2 sind vorzugsweise als Power Metall Oxyd Semiconductor PMOS- Transistoren ausgebildet. In dieser Ausgestaltung sind die beiden Bodydioden B1, B2 der PMOS Transistoren explizit dargestellt. Die vierten und fünften Schaltelemente G1, G2 werden in dieser Ausführung über zwei weitere Hilfswicklungen W5 und W6, welche zur Aufstockung der Steuerspannung dienen, angesteuert. Das jeweils leitend gesteuerte vierte oder fünfte Schaltelement G1, G2 erhält am Steuereingang G die Summenspannung der an den drei Wicklungen W3, W4 und W5 oder W3, W4 und W6 anliegenden Spannungen. Die Spannung in der leitenden Phase am Steuereingang G des vierten Schaltelementes G1 setzt sich aus der Summenspannung $U(W4) + U(W3) + U(W5)$ in der leitenden Phase an den Wicklungen W4, W3 und W5 zusammen. Während der Sperrphase liegt am Steuereingang des fünften Schaltelementes G2 nur die einfache negative Spannung $-U(W5)$ der Wicklung W5 an. Dasselbe gilt sinngemäß für das vierte Schaltelement G1 und die Spannung an den Wicklungen W3, W4, und W6. Bei hinreichend hoher transformierter Spannung durch den Transformator Tr, können die Hilfswicklungen W5 und W6 entfallen. Da die primäre Spannung UA0 am Ausgang des ersten Umrichters UM1 nur geringen Schwankungen unterliegt haben die sekundären Steuerpulse für das vierte und fünfte Schaltelement G1, G2 eine nahezu konstante Amplitudenhöhe.

Eine Spannungsregelung erfolgt in der gezeigten Schaltungsanordnung aufgrund der am Ausgang des Wandlers WR gemessenen Spannung UA. Ein Regler R verstärkt die Regelabweichung zwischen der gemessenen Spannung und einer vorgegebenen Höhe einer Spannung und steuert galvanisch getrennt über einen Optokoppler OK einen in der ersten Steuereinheit S1 angeordneten Pulsbreitenmodulator PWM oder Frequenzmodulator FM. Die erste Steuereinheit S1 steuert über eine Treibereinheit den ersten Schalttransistor T1 des ersten Umrichters UM1. Mit Hilfe des ersten Schalttransistors T1 kann die Spannung UA0 am Kondensator C0 am Ausgang des ersten Umrichters UM1 geregelt werden.

Der zweite Steuerkreis S2 im zweiten Umrichter UM2 gibt den Takt für das zweite und dritte Schaltelement T2 und T3 vor. Der Tastgrad T_{ein}/T von ca. 1/1 bleibt unberührt von einem Regelvorgang. Spannungsschwankungen der Spannung UA0 am Ausgang des ersten Umrichters UM1 über einen Lastbereich entsprechen etwa der über dem zweiten Umrichter UM2 anliegenden Längsspannung.

Eine Strommessung erfolgt auf der Primärseite des zweiten Umrichters UM2. Der durch einen Meßwiderstand RM, der zwischen dem Ausgang des ersten Umrichters UM1 und den Eingang des zweiten Umrichters UM2 angeordnet ist, fließende Strom IA0 entspricht dem übersetzten Strom IA

am Ausgang des zweiten Umrichters UM2.

Kleine Stromlücken und eventuell vom Magnetisierungsstrom stammende Stromanteile werden nicht durch ein am Ausgang des ersten Umrichters UM1 angeordnetes Filter F, gebildet aus der Induktivität L1 im Längsweig und der Querkapazität C0 im Quersweig herausgefiltert. Der am Meßwiderstand RM abgegriffene Strom IA0 wird mit einem vorgegebenen Stromgrenzwert I verglichen und über einen Strommeßverstärker VI verstärkt. Der verstärkte Strommeßwert wird mit der am Ausgang des zweiten Umrichters UM2 anliegenden Spannung verknüpft und zur Regelung der Pulsbreite PWM oder der Frequenz FM der ersten Steuereinheit S1 verwendet.

Im Überlastfall wird über eine Reduzierung des Tastgrades die Spannung am Ausgang des ersten Umrichters UM1 gesenkt. Bei einem Klemmenkurzschluß am Ausgang des Umrichters WR wird die Spannung UA0 am Ausgang des ersten Umrichters UM1 bis auf die Längsspannung über den Umrichter UM2 reduziert.

Wie bereits oben erläutert, liegt am Steuereingang G des vierten Schaltelementes G1 die Summenspannung der an den Wicklungen W3, W4 und W5 des Transformators Tr anliegenden Spannungen. Die Steuerspannung UGS für das vierte Schaltelement G1 ergibt sich im angesteuerten Zustand:

$$UGS = ((NW4 + NW3 + NW5)/NW2) \cdot UA0.$$

Die Windungszahl N für die Wicklung W5 wird dabei so dimensioniert, daß die Steuerspannung UGS für das vierte Schaltelement G1 im Normalbetrieb ausreichend hoch ist.

Beim beschriebenen Wandler WR wird im Strombegrenzungsbetrieb die Spannung UA0 am Ausgang des ersten Umrichters abgesenkt. Damit wird aber auch die Ansteuerungsspannung UGS abgesenkt, so daß das vierte Schaltelement G1 nicht mehr richtig angesteuert werden kann, wodurch die Spannung zwischen dem Drainanschluß und Sourceanschluß DS des vierten Schaltelementes G1 ansteigt. Bei weiterer Reduzierung der Spannung UA0 am Ausgang des ersten Umrichters UM1 wird das vierte Schaltelement G1 nicht mehr durchgesteuert.

Die Bodydiode B1 des vierten Schaltelementes G1 übernimmt den Stromfluß. Damit entstehen zwischen Drainanschluß und Sourceanschluß DS des vierten Schaltelementes G1 bei maximalem Strom eine Spannung von 0,7 ... 1 V. In dem vierten Schaltelement G1 entsteht bei Kurzschluß ein Vielfaches der Verlustleistung gegenüber der Verlustleistung im Normalbetrieb bei Vollast.

Eine Verlustleistung in der beschriebenen Art entsteht auch während der folgenden Taktperiode in der fünften Schalteinheit G2.

Fig. 2 zeigt einen Aufbau des Umrichters WR mit einer Entscheidungseinheit SE zur Vermeidung einer hohen Verlustleistung an dem vierten und fünften Schaltelement G1, G2.

Diese Entscheidungseinheit SE ist mit einer Logikeinheit UD, einer Verzögerungseinheit ZV und einer Abschalteneinheit AB oder/und Aufprüfeinheit PR ausgebildet.

Ein erster Eingang der Logikeinheit UD ist mit einem Anschluß des Ausgangs des ersten Umrichters UM1 und ein zweiter Eingang der Logikeinheit UD mit einem Ausgang der Verstärkerschaltung VI verbunden. Das Ausgangssignal der Logikeinheit UD wird über die Verzögerungseinheit ZV einer Abschalteneinheit AB oder einer Aufprüfeinheit PR zugeführt. Das von der Abschalteneinheit AB oder der Aufprüfeinheit PR abgegebene Signal wird der ersten Steuereinheit S1 zugeführt, wobei die Steuereinheit S1 das erste Schaltelement T1 bei einer zu geringen Spannung UA0 am Ausgang des ersten Umsetzers UM1 und einem zu hohen Strom

IA0 derart ansteuert, daß dieser gesperrt wird.

Eine Strombegrenzung für eine dem Wandler WR nachgeordneten, jedoch hier nicht dargestellten Schaltungseinheit erfolgt durch Absenken der Ausgangsspannung UA am zweiten Umrichter UM2.

Muß über einen längeren Zeitraum der Ausgangsstrom IA begrenzt werden, so wird der Wandler WR bei Verwendung einer Abschalteneinheit AB, endgültig abgeschaltet. Bei Verwendung einer Aufprüfeinheit PR, wird nach längerer Zeit der Wandler WR wieder eingeschaltet und es wird geprüft ob die Überlast noch vorhanden ist und gegebenenfalls wieder abgeschaltet. Ist die Überlast nach einer Überprüfung noch vorhanden, so wird der erste Umrichter UM1 abgeschaltet.

Bei relativ kurzen, im Sekundenbereich liegenden Schwankungen des Stromes, wirkt die Strombegrenzung vorzugsweise linear bis zum Klemmenkurzschluß, ohne daß sich der Wandler WR abschaltet.

Damit ist sichergestellt, daß am Ausgang des Wandlers WR angeschaltete Kondensatoren, die im ersten Moment wie ein Kurzschluß wirken, mit definiertem Strom sicher aufgeladen werden, ohne daß der erste Schalttransistor T1 des ersten Umrichters UM1 abgeschaltet wird. Des weiteren wird durch die lineare Strombegrenzung sichergestellt, daß der Wandler WR durch sporadische Effekte, die beispielsweise beim Anschalten eines weiteren Verbrauchers oder Wandlers auftreten können, nicht abgeschaltet wird.

In Fig. 3 ist eine schaltungstechnische Ausgestaltung einer Überlastschutzseinheit SE wiedergegeben. Einheiten der Überlastschutzseinheit SE sind wie zuvor bereits angegeben die Logikeinheit UD, die Verzögerungseinheit ZV und eine Abschalteneinheit AB oder/und Aufprüfeinheit PR.

An einen ersten Eingang der Logikeinheit UD wird die am Ausgang des ersten Umrichters UM1 anliegende Spannung UA0 angelegt, und ein zweiter Eingang der Logikeinheit UD ist mit einem Ausgang eines ersten Operationsverstärkers OP1 des Strommeßverstärkers VI verbunden. Die Logikeinheit UD setzt sich zusammen aus einer ersten und zweiten Diode D1, D2 sowie einem an der Anode der zweiten Diode D2 angeordneten Spannungsteiler, gebildet aus den Widerständen R5 und R6. Der Ausgang des ersten Operationsverstärkers OP1 des Strommeßverstärkers VI ist mit der Anode der ersten Diode D1 verbunden. Der erste Eingang des Spannungsteilers ist mit einem Ausgang des ersten Umrichters UM1 verbunden.

Ein weiterer Anschluß des Spannungsteilers ist mit einem Betriebsbezugspotential verbunden. Die Kathoden der ersten und zweiten Diode D1, D2 sind über einen Widerstand R7 mit dem Betriebsbezugspotential verbunden. Die Kathoden der ersten und zweiten Diode D1, D2 sind über einen weiteren Widerstand R8 mit einem Eingang einer Darlingtonschaltung DT1 und mit einem Mittelabgriff eines RC-Gliedes, gebildet aus einem Widerstand R7 und einem Kondensator C1, verbunden. Zum Kondensator C1 ist eine Diode D3 parallel geschaltet. Die Spannungsversorgung der Verzögerungseinheit ZV ist zwischen der Parallelschaltung von Kondensator und Diode und dem Betriebsbezugspotential verbunden. Die Anode der Diode D3 ist mit den Kathoden der ersten und zweiten Diode D1, D2 verbunden. Ein erster Ausgang der Darlingtonschaltung DT1 ist mit einem Anschluß eines ersten Spannungsteilers R9, R10 und eines zweiten Spannungsteilers R11, R12 der Abschalteneinheit AB und ein zweiter Ausgang der Darlingtonschaltung DT1 ist mit einem Mittelabgriff des ersten Spannungsteilers R9, R10 der Abschalteneinheit AB sowie einem zweiten Anschluß eines zweiten Operationsverstärkers OP2 der Abschalteneinheit AB verbunden. An dem Operationsverstärker OP2 der Abschalteneinheit AB ist mit einem ersten Eingang

ein Mittelabgriff des zweiten Spannungsteilers R11, R12 der Abschalteneinheit AB verbunden. Der weitere Anschluß des ersten und zweiten Spannungsteilers ist mit dem Betriebsbezugspotential beaufschlagt. Ein Widerstand R13 bildet eine Rückkopplung am Operationsverstärker OP2 der Abschalteneinheit AB.

Unter den Voraussetzungen, daß der Stromgrenzwert überschritten ist und die Spannung UA0 am Ausgang des ersten Umrichters UM1 unter einen vorgegebenen Wert abgefallen ist, und dieser Zustand eine Zeit angedauert hat, wird der erste Umrichter UM1 durch Ansteuerung des ersten Schalttransistors T1 gesperrt. Dies kann gebunden, d. h. endgültig, sein oder es wird nach einer gewissen Zeit die an den Eingängen der Logikeinheit UD anliegenden Strom- und Spannungswerte überprüft, ob die Grenzwerte für Strom und Spannung noch überschritten werden. Die Auswertung beider Voraussetzungen ist nötig, um eine Überlast zu erkennen und ein fehlerfreies Anlaufen des Wandlers WR zu gewährleisten. Die Zeit vom Auftreten beider Voraussetzungen bis zum Abschalten des ersten Umrichters UM1 des Wandlers WR ist so bemessen, daß eine hohe Verlustleistung in dem vierten und fünften Schaltelement G1, G2 auf der Sekundärseite des zweiten Umrichters UM2 vermieden wird.

Bei einer maximal zulässigen statischen Absenkung der Ausgangsspannung durch die Strombegrenzung muß die Ansteuerung des vierten und fünften Schaltelementes G1, G2 auf der Sekundärseite des zweiten Umrichters UM2 noch sichergestellt sein, das heißt, daß die Spannung zwischen dem Steuereingang G und dem Sourceingang S des vierten und fünften Schaltelementes G1, G2 größer 6 V sein soll. Aus dieser zu erreichenden Spannung kann die zulässige Absenkung der Spannung am Ausgang des ersten Umrichters UM1 bestimmt werden.

Der erste Operationsverstärker OP1 bildet den Strommeßverstärker VI. Über die Widerstände R1 und R2 wird am nichtinvertierenden Eingang des ersten Operationsverstärkers OP1 die Höhe des Strombegrenzungseinsatzes eingestellt. Mit den Widerständen R3 und R4 wird die Verstärkung der Strombegrenzung des ersten Operationsverstärkers OP1 festgelegt. Im Normalbetrieb, das heißt ohne eine Strombegrenzung liegt am Ausgang des ersten Operationsverstärkers OP1 eine hohe Spannung. Bezogen auf diese Schaltungsausgestaltung beträgt die Spannung beispielsweise 12 Volt.

Die Widerstände R5 und R6 des Spannungsteilers an der Anode der zweiten Diode D2 stellen eine Aufteilung der Spannung UA0 am Ausgang des Umrichters UM1 dar.

Die erste und zweite Diode D1, D2 bilden mit dem Widerstand R7 an ihren Ausgängen eine logische UND-Verknüpfung. In dieser Schaltungsausgestaltung handelt es sich um eine negative Logik, das heißt, daß die Spannungen an den Anoden der ersten Diode D1 und der zweiten Diode D2 zu null werden müssen, damit die Spannung am Widerstand R7 ebenfalls zu null wird.

Der Kondensator C1 bildet zusammen mit dem Widerstand R7 eine Zeitkonstante, mit der ein Abschaltzeitpunkt des ersten Umrichters UM1 festgelegt wird. Die Diode D3 bewirkt, daß die maximale Spannung an der Kathode der ersten und zweiten Diode D1, D2 der Spannung der Versorgungsspannung entspricht. Die Diode D3 bewirkt, daß die maximale Spannung der Versorgungsspannung entspricht. Die Diode D3 stellt auch eine schnelle Entladung von dem Kondensator C1 bei Ausfall der Versorgungsspannung sicher.

Solange die Spannung an der Kathode der ersten und zweiten Diode D1, D2 höher ist als die Referenzspannung VRef, ist die Darlingtonschaltung DT1 gesperrt.

Der erste Eingang des zweiten Operationsverstärkers OP2 der Abschalteneinheit AB liegt über die Widerstände R11 und R12 des zweiten Spannungsteilers der Abschalteneinheit AB auf etwa der halben Referenzspannung VRef. Mit den Widerständen R9 und R10 des ersten Spannungsteilers der Abschalteneinheit AB wird die Spannung am zweiten Eingang des zweiten Operationsverstärkers OP2 eingestellt. Der Ausgang des zweiten Operationsverstärkers OP2 weist im Normalbetrieb eine hohe Spannung auf. Über die Rückkopplung des zweiten Operationsverstärkers OP2 mit dem Widerstand R13 kann die Hysterese des zweiten Operationsverstärkers OP2 eingestellt werden, die ein sicheres Umschalten und Halten von Zuständen des zweiten Operationsverstärkers OP2 ermöglicht. Daß der zweite Operationsverstärker OP2 nach Anlegen der Versorgungsspannung eine bestimmungsgemäße Ausgangsspannung aufweist, wird durch weitere, der Übersichtlichkeit halber hier nicht dargestellte Bauteile sichergestellt.

Nachfolgend noch das statische und dynamische Schaltverhalten der Entscheidungseinheit SE.

Statisches Schaltverhalten

Sobald die Versorgungsspannung eingeschaltet wird, liegt am Ausgang der Kathode der ersten und zweiten Diode D1, D2 über den entladenen Kondensator C1 die Versorgungsspannung an. Die Darlingtonstufe DT1 ist gesperrt und der zweite Operationsverstärker OP2 in der Abschalteneinheit AB in Normalbetrieb. Solange der Normalbetrieb besteht, liegt am Ausgang des ersten Operationsverstärkers OP1 eine hohe Spannung von ca. 12 V. Am Mittelpunkt des Spannungsteilers R5, R6 an der Anode der zweiten Diode D2 ist ebenfalls die Spannung größer als die Referenzspannung VRef. Die Spannung an der Kathode der ersten und zweiten Diode D1, D2 beträgt ca. 12 V, die Darlingtonstufe DT1 bleibt gesperrt.

Sobald der Strom durch den Meßwiderstand IA0 begrenzt wird, wird die Spannung am Ausgang des ersten Operationsverstärkers OP1 gegen Betriebsbezugspotential, aber die Spannung an den Kathoden der ersten und zweiten Diode D1, D2 durch die noch vorhandene Spannung am Ausgang des ersten Umrichters UM1 auf einer Spannung die größer der Referenzspannung VRef ist gehalten. Die Darlingtonstufe DT1 bleibt gesperrt.

Erst wenn die Spannung UA0 am Ausgang des ersten Umrichters UM1 so weit abgesunken ist, daß die Spannung an der Kathode der ersten und zweiten Diode D1, D2 ca. 1 V ($2 \cdot U_{BE}$) unter die Referenzspannung VRef abgesunken ist, wird die Darlingtonstufe DT1 leitend und schließt den Widerstand R9 des ersten Spannungsteilers kurz. Damit wechselt die Spannung am Ausgang der Abschalteneinheit AB und sperrt das erste Schaltelement T1 des Umrichters UM1. Die Spannung ab der die Abschalteneinheit AB abschaltet kann über die Widerstände R5 und R6 eingestellt werden, und sollte so hoch sein, daß die Ansteuerung des vierten und fünften Schaltelementes G1, G2 noch sichergestellt ist.

Dynamisches Verhalten

Verringert sich die Spannung am ersten Operationsverstärker OP1 und dem Spannungsteilmittelpunkt des Spannungsteilers R5, R6 an der Anode der zweiten Diode D2 nur kurz (kurzer Kurzschluß oder Überlast), so bleibt der Wandler WR in Funktion, da die Spannung an den Kathoden der ersten und zweiten Diode D1, D2 durch die Ladung des Kondensators C1 im ersten Moment auf ca. 12 V gehalten wird. Erst wenn sich der Kondensator C1 langsam über den Widerstand R7 entlädt, und die Spannung an den Kathoden

der ersten und zweiten Diode D1, D2 ca. 1 V unter die Referenzspannung VRef fällt, wird die Darlingtonstufe DT1 leitend und der Wandler WR abgeschaltet. Der Kondensator C1 und Widerstand R7 bestimmen die Zeitspanne, in der eine Überlast auftreten kann, ohne daß der Wandler WR abgeschaltet wird.

Patentansprüche

1. Schaltungsanordnung zum Überlastschutz für einen Wandler, mit einem ersten Umrichter (UM1) und einem zu diesem in Kettenschaltung angeordneten zweiten Umrichter (UM2), wobei der erste Umrichter (UM1) zur Steuerung der Ausgangsspannung (UA0) am ersten Umrichter (UM1) einen ersten Schalttransistor (T1), und
 der zweite Umrichter (UM2) einen Transformator (Tr) mit einer auf der Sekundärseite des Transformators (Tr) angeordneten Gleichrichtereinheit (GR) zur Gleichrichtung der sekundärseitig am Transformator (Tr) anliegenden Spannung aufweist,
dadurch gekennzeichnet,
 daß eine Entscheidungseinheit (SE) zur Steuerung der Laststromstrecke (SD) des ersten Schalttransistors (T1) vorgesehen ist, wobei Strom- und Spannungsmeßwerte am Ausgang des ersten Umrichters (UM1) erfaßt und der Entscheidungseinheit (SE) zugeführt werden und bei Überschreitung eines Stromwertes und Unterschreitung eines Spannungswertes bei dem eine sichere Durchsteuerung der in der Gleichrichtereinheit (GR) angeordneten Schaltelemente (G1, G2) nicht mehr möglich sind, der erste Schalttransistor (T1) derart angesteuert wird, daß die Laststromstrecke hochohmig wird.
2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Entscheidungseinheit (SE) eine Logikschaltung (UD) zur logischen Verknüpfung der Strom und Spannungsmeßwerte aufweist, eine Verzögerungseinheit (ZV) zur verzögerten Weitergabe des von der Logikschaltung (UD) abgegebenen Steuersignals zur Abschaltung des ersten Schalttransistors (T1).
3. Schaltungsanordnung nach Anspruch 2, dadurch gekennzeichnet, daß eine Abschalteeinheit (AB) zwischen der Verzögerungseinheit (ZV) und dem ersten Schalttransistor (T1) vorgesehen ist.
4. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß eine Aufprüfeinheit (PR) zur Überprüfung der gemessenen Meßwerte in der Entscheidungseinheit (SE) vorgesehen ist
5. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Entscheidungseinheit (SE) an den Eingängen einer ersten Steuerschaltung (S1) angeordnet ist und diese von der Entscheidungseinheit (SE) entsprechend ansteuert wird, um den ersten Schalttransistor (T1) zu sperren.
6. Schaltungsanordnung nach Anspruch 5, dadurch gekennzeichnet, daß die erste Steuerschaltung (S1) ein pulsweiten- oder frequenzmoduliertes Signal erzeugt.
7. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Schaltelemente (G1, G2) in der Gleichrichtereinheit (GR) Power Metall Oxyd Semiconductor Transistoren sind.
8. Verfahren zum Überlastschutz für einen Wandler, mit einem ersten Umrichter (UM1) und einem zu diesem in Kettenschaltung angeordneten zweiten Umrichter (UM2), wobei
 der erste Umrichter (UM1) zur Steuerung der Aus-

gangsspannung (UA0) am ersten Umrichter (UM1) einen ersten Schalttransistor (T1), und
 der zweite Umrichter (UM2) einen Transformator (Tr) mit einer auf der Sekundärseite des Transformators (Tr) angeordneten Gleichrichtereinheit (GR) zur Gleichrichtung der sekundärseitig am Transformator (Tr) anliegenden Spannung aufweist,
 dadurch gekennzeichnet,
 daß Strom- und Spannungsmeßwerte am Ausgang des ersten Umrichters (UM1) erfaßt werden und bei Überschreitung eines Stromwertes und Unterschreitung eines Spannungswertes bei dem eine sichere Durchsteuerung der in der Gleichrichtereinheit (GR) angeordneten Schaltelemente (G1, G2) nicht mehr möglich sind der ersten Schalttransistor (T1) derart angesteuert wird, daß die Laststromstrecke hochohmig wird.

Hierzu 3 Seite(n) Zeichnungen

